

1/12

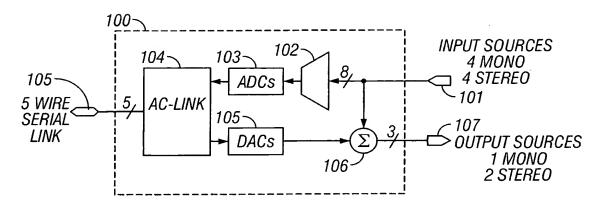


FIG. 1A

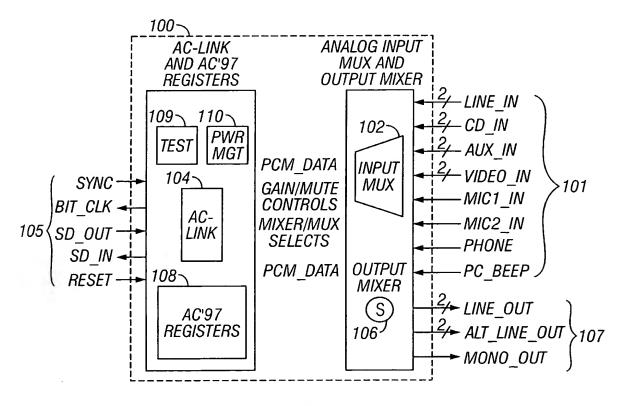


FIG. 1B

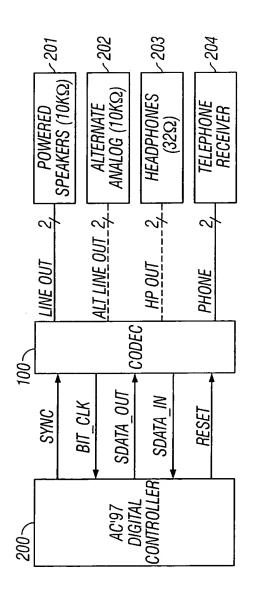
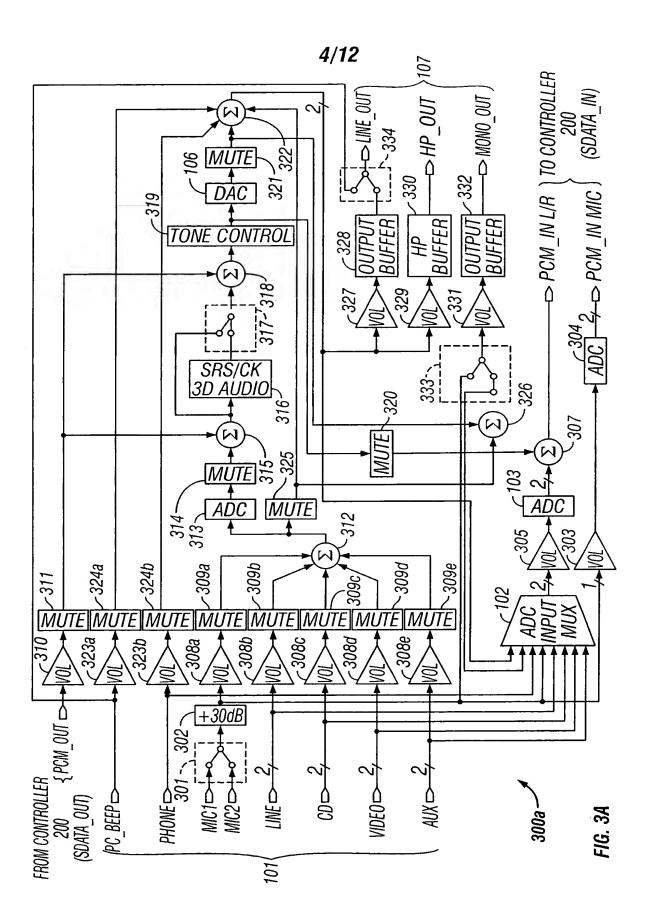
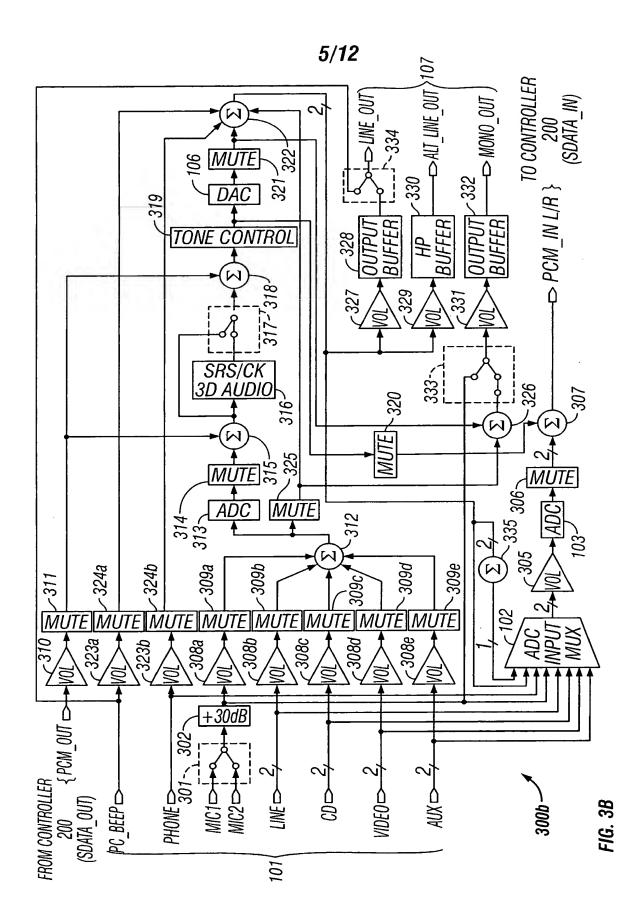


FIG. 2A

				_	
12					
11		20	RES	20	RES
10		20	RES	20	RES
6		20	RES	20	RES
∞		20	RES	20	RES
7	-	20	RES	20	RES
9		20	RES	ĺ	OPT MIC
5		20	OPT MODEM	20	OPT MODEM
4		20	PCM RIGHT	20	PCM RIGHT
က		20	PCM LEFT	20	PCM LEFT
7		20	CMD DATA	20	STATUS DATA
CKS		20	CMD ADDR	20	STATUS STATUS F ADDR DATA L
0 16 BIT CLO	746	91	TAG	16	TAG
16					

FIG. 2B





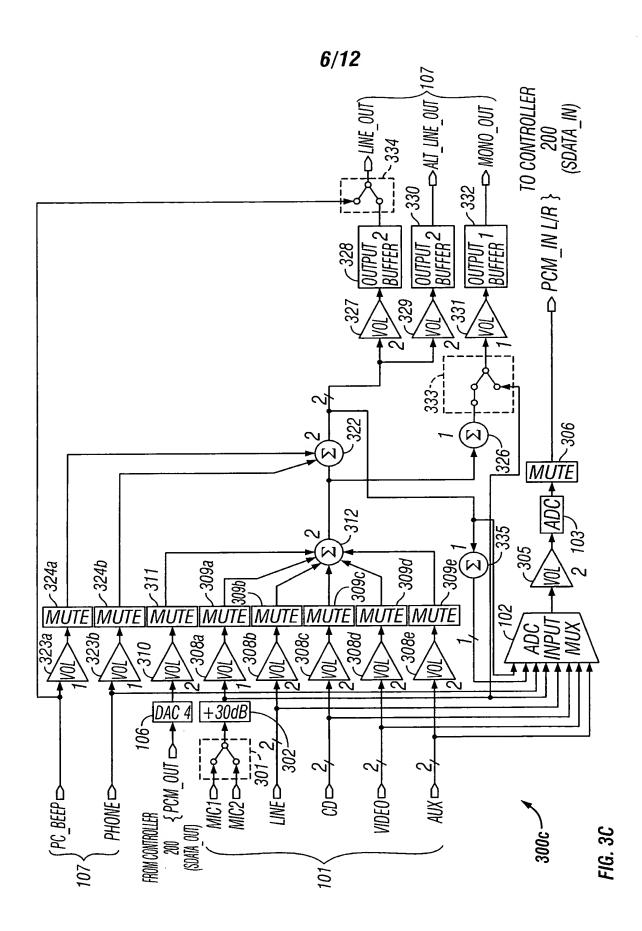


	FIG. 4A		FIG. 4B			FIG. 4C				FIG. 4D			FIG. 4E
	FIG		F1G.			F16.				F16.			FIG
<i>D0</i>	MRO	00	MRO		D0	MMO		9	3	×		00	0x0
10	MR1	01	MR1		D1	MM5 MM4 MM3 MM2 MM1 MM0		5		PV0		D1	GX1
D2	MR2	02	MR2		D2	MM2		Ç	מק	PV7		D2	GX2
D3	MR3	D3	MR3		D3	MM3		S	3	PV2		D3	СхЗ
D4	MR4	D4	MR4		D4	MM4		Č	5 [PV3		D4	GX4
D5	MR5	<i>D</i> 5	MR5		D5	MM5	so:	90	3 [×		<i>D</i> 2	×
<i>90</i>	×	90	×		90	×		90	3	×		90	×
<i>D</i> 2	X	20	×		<i>D</i> 2	X		7	5 :	\times	_18h)	D7	\times
90	MLO	08	1 - 1		<i>D</i> 8	×		à	3	×	EX OC	90	СХО
60	ML1	60	ML1		60	×		Ċ	3 [×	anı) s	60	Gx1
D11 D10	ML2	(t) D10	ML2	(06h)	D11 D10	×		010		×	GAIN REGISTERS (INDEX OC_18h)	D15 D14 D13 D12 D11 D10	GX2
D11	ML4 ML3	N.TERNATE VOLUME (INDEX 04h) D15 D14 D13 D12 D11 D10	ML3	(JUNDE)	D11	×		X 0Ah)		×	IIN RE(D11	СхЗ
D12	ML4	E (IND D12	ML4	LUME	D12	×		C_BEEP VOLUME (INDEX 0Ah)	2 2	×		D12	GX4
D15 D14 D13 D12	ML5	OLUM 1913	ML5	00 VO	015 014 013 012	×		LUME	2 2	×	ER INF	D13	×
D14	X	VATE V D14	$ \times $	R MO	D14	×		EP VC	12 3	×	XIM 5	D14	×
D15	MUTE	ALTERNATE VOLUME (INDEX 04h) D15 D14 D13 D12 D11 L	MUTE X ML5 ML4 ML3 ML2	MASTER MONO VOLUME (INDEX 06h)	D15	MUTE X		PC_BEEP VOLUME (INDEX OAh)	510	MULE	ANALOG MIXER INPUT	D15	MUTE

MASTER VOLUME (INDEX 02h)

-	C T			Ŧ						7	ı			×
	FIG. 4G			FIG. 4H			FIG. 41			FIG. 4J				FIG. 4K
00	0)	<i>D0</i>	ADC		<i>D0</i>	70		00	00			00	00
D1	0		D1	DAC		10	11		D1	1a			D1	10
D2	0		D2	ANL		D2	72		D2	0			D2	02
D3	0		D3	REF		D3	73		<i>D</i> 3	0			D3	<i>D3</i>
D4	0		D4	0		D4	0		D4	0			D4	D4
D5	0		D5	0		D5	0		D5	0			D2	<i>D</i> 2
90	0		90	0		9 <i>0</i>	0		<i>90</i>	0			90	90
20	LPBK	. 26h)	<u>D7</u>	0		<i>20</i>	0	(49 <i>L</i>	<i>D</i> 7	WED			D7	10
90	MS	INDEX	<i>D</i> 8	PRO		<i>D8</i>	0	INDEX	80	A0		8 <i>h</i>)	80	<i>D8</i>
20h) D9	MIX	STER (60	PR1		60	0	STER (60	A1		DEX 7	60	60
INDEX D10	0	s REGI	D10	PR2	ER (INDEX 5Ch)	D10	0	, REGI	D10 D9	0		ER (IN	D10	D10
STER (I D11	0	STATU	D11	PR3	(INDE.	D11 D10	0	DRESS	D11	0		EGIST	011	011
E REGIS D12	0	TROL/8	D12	PR4	ISTER	D12	0	70N AI	D12	0		DATA F	D12	D12
RPOSE D13	0	NOO N	D13	PR5	n REG	D13	0	LIBRA]	D13	0		VOLL	D13	D13
ENERAL PUF D15 D14	0	IMOGE	D15 D14 D13 D12 D11 D10	0 PR6 PR5 PR4 PR3	ONTRC	D15 D14 D13 D12	0	AC CA	D15 D14 D13 D12 D11	0		4LIBR/	D15 D14 D13 D12 D11 D10	D15 D14 D13 D12
GENERAL PURPOSE REGISTER (INDEX 20h) D15 D14 D13 D12 D11 D10 D9	0	POWERDOWN CONTROL/STATUS REGISTER (INDEX 26h)	D15	0	TEST CONTROL REGIST	015	Ó	ADC/DAC CALIBRATION ADRESS REGISTER (INDEX 76h)	D15	WEA		ADC CALIBRATION DATA REGISTER (INDEX 78h)	D15	D15

00 01 **D**2 D3 *D*3 D4 *D*5 *90* 9*0* 10 **D**7 D15 D14 D13 D12 D11 D10 D9 D8 *D*8 DAC CALIBRATION DATA REGISTER (INDEX 7Ah) D15 | D14 | D13 | D12 | D11 | D10 | D9

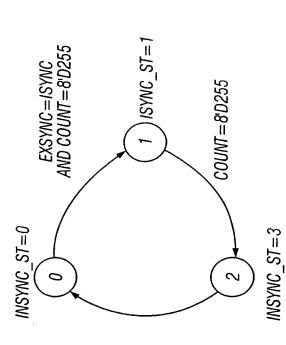


FIG. 5

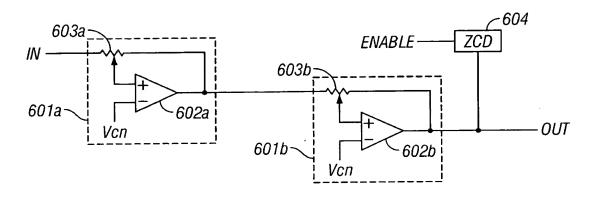
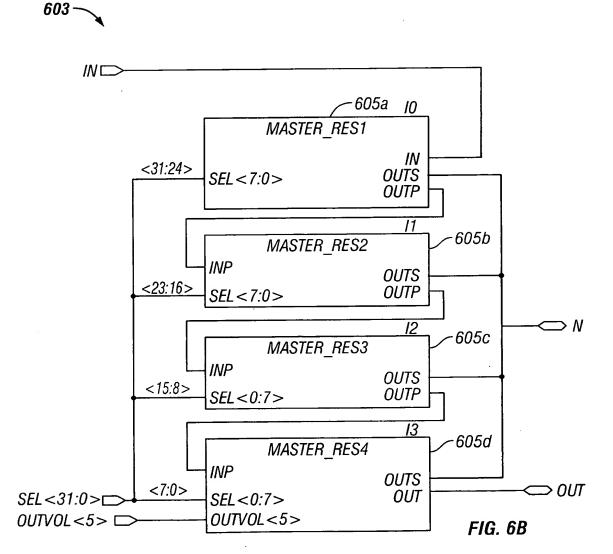
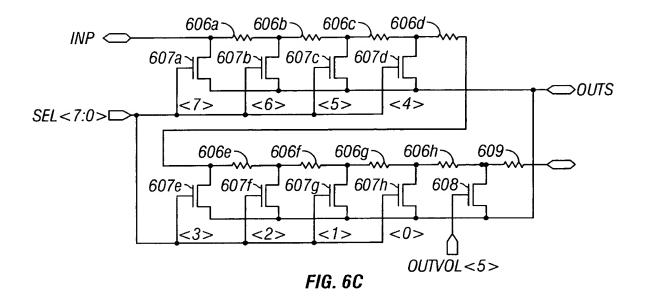
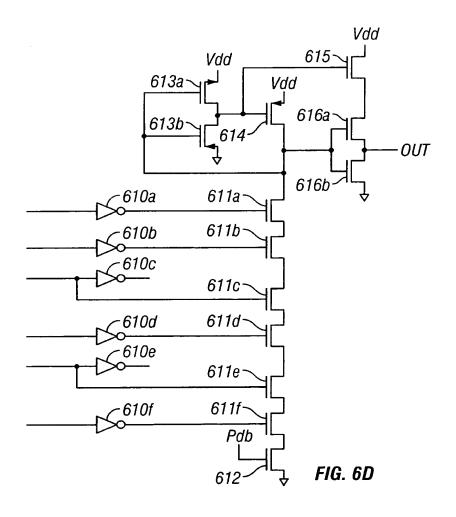


FIG. 6A







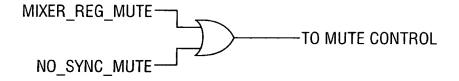


FIG. 7

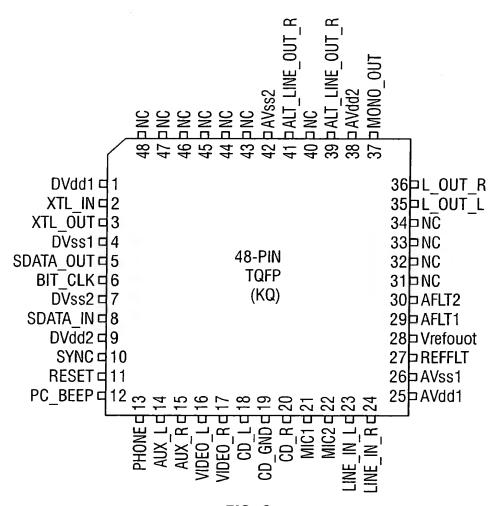


FIG. 8